

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-174658

(43) 公開日 平成11年(1999) 7月2日

(51) Int.Cl.⁸

識別記号

F I

G 0 3 F 1/08

G 0 3 F 1/08

T

H 0 1 L 21/027

H 0 1 L 21/30

5 0 2 W

審査請求 未請求 請求項の数 8 O L (全 8 頁)

(21) 出願番号 特願平9-338762

(22) 出願日 平成9年(1997)12月9日

(71) 出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72) 発明者 橋本 耕治

神奈川県横浜市磯子区新杉田町8番地 株式会社東芝横浜事業所内

(72) 発明者 青山 寿子

神奈川県横浜市磯子区新杉田町8番地 株式会社東芝横浜事業所内

(72) 発明者 井上 壮一

神奈川県川崎市幸区小向東芝町1番地 株式会社東芝研究開発センター内

(74) 代理人 弁理士 鈴江 武彦 (外6名)

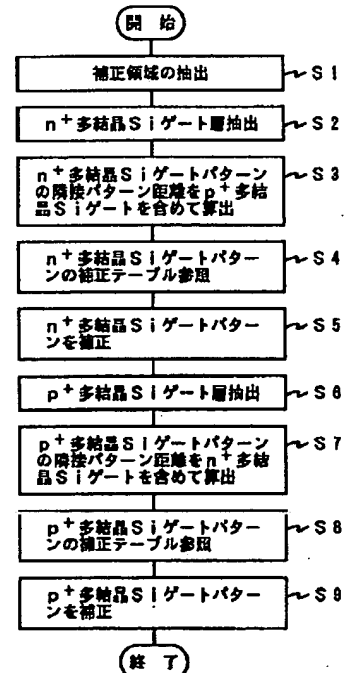
最終頁に続く

(54) 【発明の名称】 マスクパターン補正方法とその補正システム

(57) 【要約】

【課題】同一デバイス内で複数のゲート材料をエッチングする際に生じるエッチング変換差によるプロセス起因の近接効果を補正すること。

【解決手段】補正領域を抽出した(ステップS1)後、 n^+ 型多結晶Siゲート層を抽出する(ステップS2)。 n^+ 型多結晶Siゲート層の隣接パターン距離を p^+ 型多結晶Siゲート層を含んで算出し(ステップS3)、 n^+ 型多結晶Siゲート層の隣接パターンの補正テーブルを参照して(ステップS4)、 n^+ 型多結晶Siゲート層のパターンを補正する(ステップS5)。次に、 p^+ 型多結晶Siゲート層を抽出し(ステップS6)、 p^+ 型多結晶Siゲート層の隣接パターン距離を n^+ 型多結晶Siゲート層を含んで算出する(ステップS7)。 p^+ 型多結晶Siゲート層の隣接パターンの補正テーブルを参照して(ステップS8)、 p^+ 型多結晶Siゲート層のパターンを補正する(ステップS9)。



【特許請求の範囲】

【請求項1】 第1の被加工材料と、この第1の被加工材料と加工特性の異なる第2の被加工材料を複数配置して成る半導体装置のマスクパターン補正方法に於いて、第1の被加工材料を抽出する第1のステップと、上記第1の被加工材料の隣接パターン距離を、第2の被加工材料を含めて算出する第2のステップと、上記第1の被加工材料の隣接パターンの補正テーブルを参照する第3のステップと、

上記補正テーブルに基いて、上記第1の被加工材料のマスクパターンを補正する第4のステップと、

上記第2の被加工材料を抽出する第5のステップと、

上記第2の被加工材料の隣接パターン距離を、上記第1の被加工材料を含めて算出する第6のステップと、

上記第2の被加工材料の隣接パターンの補正テーブルを参照する第7のステップと、

上記補正テーブルに基いて、上記第2の被加工材料のマスクパターンを補正する第8のステップとを具備することを特徴とする半導体装置のマスクパターン補正方法。

【請求項2】 上記加工特性は、エッチング加工特性であることを特徴とする請求項1に記載の半導体装置のマスクパターン補正方法。

【請求項3】 上記第1、第2の被加工材料は、導電性材料で構成されることを特徴とする請求項1に記載の半導体装置のマスクパターン補正方法。

【請求項4】 上記第1、第2の被加工材料は、互いに異なる導電型を有する導電性材料で構成されることを特徴とする請求項3に記載の半導体装置のマスクパターン補正方法。

【請求項5】 上記導電性材料は、制御電極の材料として使用されることを特徴とする請求項3若しくは4に記載の半導体装置のマスクパターン補正方法。

【請求項6】 上記導電性材料は、多結晶シリコンを含むゲート電極材料で構成されることを特徴とする請求項3乃至5に記載の半導体装置のマスクパターン補正方法。

【請求項7】 予め与えられたマスクパターンデータを格納するパターンデータ格納手段と、

このパターンデータ格納手段から出力された上記マスクパターンデータから、材料若しくは加工プロセス別にそれぞれの領域を抽出する複数の領域抽出手段と、

上記パターンデータ格納手段に予め与えられたマスクパターンデータに対応してマスクパターンの補正値を記憶している補正値記憶手段と、

上記複数の領域抽出手段で抽出された領域を、上記補正値記憶手段に記憶されている上記マスクパターンの補正値をそれぞれ参照して選択する複数の補正値参照手段と、

上記複数の補正値参照手段で選択された補正値に基いて、上記マスクパターンデータに対して上記材料若しく

は加工プロセス別に補正を行う補正パターン合成部とを具備したことを特徴とする半導体装置のマスクパターン補正システム。

【請求項8】 上記複数の領域抽出手段で抽出される領域はゲート電極材料別の領域であることを特徴とする請求項7に記載の半導体装置のマスクパターン補正システム。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】この発明は、半導体装置製造に於けるリソグラフィー工程で用いられる露光用マスクのマスクパターン補正方法及びそのマスクパターンの補正システムに関するものである。

【0002】

【従来の技術】近年、半導体デバイスの進歩に伴い、トランジスタの高速化、高集積化に対する要求が年々厳しくなっている。高速トランジスタの一例としては、例えば図7に示されるような、埋め込みチャネル(buried channel)型MOSトランジスタが、一般的に知られている。

【0003】埋め込みチャネル型MOSトランジスタでは、図7に示されるように、イオン注入等により、半導体表面に基板1とは反対の導電型である浅いn型層2が形成される。しかしながら、n型層を形成しただけではデプリーション型のMOSトランジスタとなってしまうため、通常、仕事関数差等を利用してチャネルをカットしてエンハンスメント型の埋め込みチャネルMOSトランジスタとする。

【0004】エンハンスメント型とするために良く用いられるのは、nチャネル素子に対してp⁺型多結晶Siゲート電極3を用い、pチャネル素子に対してn⁺型多結晶Siゲート電極を用いるというように、トランジスタの種類によってゲート材料を変える方法である。

【0005】このようなMOSトランジスタでは、図8に示されるように、電流を通すチャネルが半導体表面から少し内部に入ったところに形成される。そのため、チャネル内の電子は表面散乱の影響を受けず、バルクに近い移動度で動くことができる。また、ドレイン側のn型層表面には空乏層が広がるため、ゲートドレイン間の容量も小さくなる。そのため、素子の高速化及び電流駆動能力の向上が期待できる。

【0006】また、チャネル領域とソース及びドレインの間にはpn接合が存在しないため、アバランシュ崩壊が起こりにくく、短チャネルMOSデバイスで大きな問題となるホットキャリア注入による特性変動も少ないという利点もある。

【0007】以上、様々な面で利点の大きい埋め込みチャネル型トランジスタを同一デバイス内でnチャネルトランジスタにもpチャネルトランジスタにも適用しようとする、上記のように、nチャネル素子に対してp⁺

型多結晶Siゲート電極を用い、pチャネル素子に対してn⁺型多結晶Siゲート電極を用いる方法が一般的である。

【0008】ここで、図9に示されるように、2つのゲート材料のリソグラフィ後のエッチングが同時に行われる場合を考える。図9(a)に示されるように、基板5上にゲート酸化膜6が形成され、更にその上にnチャネル領域ではp⁺多結晶Si7aが、Pチャネル領域ではn⁺多結晶Si7bが形成される。このようにしてゲートの下地が形成された後、図9(b)に示されるように、p⁺多結晶Si7a及びn⁺多結晶Si7b上にレジストパターン8a及び8bが形成される。その後、ゲートエッチング、レジスト剥離工程により、図9(c)に示されるようなゲート材料が得られる。

【0009】

【発明が解決しようとする課題】ところが、上記2つのゲート材料は共に多結晶Siとはいえ、多結晶Si内の不純物元素及びその濃度が異なるため、エッチング加工特性（エッチング後形状及びエッチング変換差）は、それぞれのゲート材料で異なっている。

【0010】図10は、このエッチング加工特性を双方のゲート材料で同じにするために、それぞれ別々にエッチングを施した例を示した工程図である。先ず、図10(a)に示されるように、各チャネル領域にゲート下地が形成され、次いで図10(b)に示されるように、p⁺多結晶Si7a及びn⁺多結晶Si7b上にレジスト9a及び9bが塗布されてnチャネルトランジスタのゲートパターンが形成される。その後、図10(c)に示されるようにnチャネルトランジスタのゲートエッチング、レジスト剥離が行われた後、今度は図10(d)に示されるように、レジスト10a及び10bが塗布されてpチャネルトランジスタのゲートパターンが形成される。そして、図10(e)に示されるように、pチャネルトランジスタのゲートエッチングが行われた後、レジストが剥離されて、2つのゲート材料が得られる。

【0011】しかしながら、このような2つのチャネルで別々にエッチングが施されたとしても、上述したエッチング加工特性を完全に同じにするのは困難である。一方で、半導体デバイスの微細化に伴い、プロセス起因の近接効果（OPE: optical proximity effect）の問題が、近年大きく顕在化してきている。以下、この近接効果について説明する。

【0012】半導体装置では、その設計回路の中でプロセスマージンが最も小さな箇所が所望通り（設計寸法通り）になるように、プロセス条件がチューニングされる。この箇所とは、一般的には最も設計寸法が微細なところであり、例えば半導体メモリ素子の場合には、最もパターン密度が高いメモリセル部がこれに相当する。ここで、プロセス条件を密パターンであるメモリセル部に合わせると、比較的疎なパターンの多い周辺回路部はプ

ロセス起因の近接効果を受け、必ずしも設計寸法通りにはならない。この現象が近接効果（OPE）と称されており、その発生要因は、露光マスクを透過した後の光学像、レジスト中の潜像、レジストの塗布・現像プロセス、下地膜の形成具合、下地膜のエッチング、洗浄や酸化等の後処理、露光マスクプロセス等の影響が複雑に絡み合っている。

【0013】この近接効果は、必ずしも光学的な要因だけで生じるものではない。上記近接効果を解決するため、マスク上で設計寸法に補正をかけるOPC（Optical proximity correction）技術の研究が多くの機関でなされている。学会論文発表等によると、現在のOPCは、光学像シミュレーションによる補正方法であるものが多い。

【0014】しかしながら、上述したように、OPEには光学的な要因以外のマスク・ウエハプロセスによるものもあるので、高精度な補正を実現するには実際のトータルプロセスを経たウエハでのOPEを調査し、マスク上での寸法に補正をかける必要がある。

【0015】このトータルプロセスを考慮した一次元ゲートパターンの補正方法として、Bucket方式（L. Liebman et al, SPIE Vol. 2322 Photomask Technology and Management (1994) 229）等が知られている。これは、トータルプロセスを経たウエハでACLV（Across the Chip Linewidth Variation）と称される仕上がり寸法測長TEG（Test Element Group）を用いて、仕上がり寸法バイアス（仕上がり寸法と所望寸法との寸法差）と隣接パターンまでの距離の関係（パターン疎密依存性）を、図11に示されるような電気的測定によって得られたパターン寸法変動量の疎密依存性を用いて、仕上がり寸法バイアス分だけ設計回路に補正をかける方式である。

【0016】すなわち、補正領域が抽出されたならば、全パターンの隣接スペース距離が算出される。例えば、隣接するパターンが図12に示されるように配置されているとするならば、各パターンGCは、図示のごとくスペース距離a、b、c、d、eを有している。

【0017】そして、これらの隣接スペース距離a～eについて、図13に示される補正テーブルが参照される。ここで、それぞれの隣接スペース距離a～eが、補正テーブル上のどのスペースに当てはまるかを抽出し、該当する補正量をもってパターンが補正される。

【0018】上述したように、従来のOPC技術では、上記同一デバイス上で複数のゲート材料（上述した従来例ではp⁺型多結晶Siゲートとn⁺型多結晶Siゲート）を用いるトランジスタが存在する場合には、それぞれのゲート材料に対して高精度なOPCを実現するのは不可能である。

【0019】また、今後複数のゲート材料が同一ゲートパターンに存在するデバイスに於いては、高精度な補正を実現するために、それぞれのゲート材料別にゲートのマスクパターンの補正を行うマスクパターン補正方法が必要となってくる。

【0020】したがってこの発明の目的は、同一デバイス上で複数の異なるゲート材料を用いるトランジスタが存在する場合に、それぞれのゲート材料に対して高精度な補正を実現して、ゲート材料別にゲートのマスクパターンの補正を行うことのない半導体装置のマスクパターン補正方法及び半導体装置のマスクパターン補正システムを提供することである。

【0021】

【課題を解決するための手段】すなわちこの発明は、第1の被加工材料と、この第1の被加工材料と加工特性の異なる第2の被加工材料を複数配置して成る半導体装置のマスクパターン補正方法に於いて、第1の被加工材料を抽出する第1のステップと、上記第1の被加工材料の隣接パターン距離を、第2の被加工材料を含めて算出する第2のステップと、上記第1の被加工材料の隣接パターンの補正テーブルを参照する第3のステップと、上記補正テーブルに基づいて、上記第1の被加工材料のマスクパターンを補正する第4のステップと、上記第2の被加工材料を抽出する第5のステップと、上記第2の被加工材料の隣接パターン距離を、上記第1の被加工材料を含めて算出する第6のステップと、上記第2の被加工材料の隣接パターンの補正テーブルを参照する第7のステップと、上記補正テーブルに基づいて、上記第2の被加工材料のマスクパターンを補正する第8のステップとを具備することを特徴とする。

【0022】またこの発明は、予め与えられたマスクパターンデータを格納するパターンデータ格納手段と、このパターンデータ格納手段から出力された上記マスクパターンデータから、材料若しくは加工プロセス別にそれぞれの領域を抽出する複数の領域抽出手段と、上記パターンデータ格納手段に予め与えられたマスクパターンデータに対応してマスクパターンの補正値を記憶している補正値記憶手段と、上記複数の領域抽出手段で抽出された領域を、上記補正値記憶手段に記憶されている上記マスクパターンの補正値をそれぞれ参照して選択する複数の補正値参照手段と、上記複数の補正値参照手段で選択された補正値に基づいて、上記マスクパターンデータに対して上記材料若しくは加工プロセス別に補正を行う補正パターン合成部とを具備したことを特徴とする。

【0023】この発明にあっては、予め与えられたマスクパターンデータがパターンデータ格納手段に格納され、このパターンデータ格納手段から出力された上記マスクパターンデータから、複数の領域抽出手段によって材料若しくは加工プロセス別にそれぞれの領域が抽出される。また、上記パターンデータ格納手段に予め与えら

れたマスクパターンデータに対応して、補正値記憶手段にマスクパターンの補正値が記憶されている。そして、上記複数の領域抽出手段で抽出された領域について、複数の補正値選択手段に於いて、上記補正値記憶手段に記憶されている上記マスクパターンの補正値をそれぞれ参照して選択される。上記複数の補正値参照手段で選択された補正値に基づいて、上記マスクパターンデータに対して上記材料若しくは加工プロセス別に、補正パターン合成部で補正が行われる。

【0024】

【発明の実施の形態】以下、図面を参照してこの発明の実施の形態を説明する。図2は、この発明の一実施形態を示すもので、マスクパターン補正方法を実行するためのマスクパターン補正システムを概略的に示したブロック構成図である。

【0025】図2に於いて、このマスクパターン補正システムの制御部20には、半導体デバイスの設計者により与えられたパターンデータを格納するパターンデータ格納部21が接続されている。このパターンデータ格納部21には、例えばゲート材料、或いはプロセス別に、その領域を抽出するための領域抽出部22a、22b、22c、…が接続されている。これらの領域抽出部22a、22b、22c、…では、測定パターンの領域が抽出されるもので、例えば0.25 μ m、0.3 μ m等の隣接パターンの間隔に応じて抽出される。

【0026】上記領域抽出部22a、22b、22c、…から出力された抽出データは、それぞれ補正テーブル参照部23a、23b、23c、…に供給される。この補正テーブル参照部23a、23b、23c、…では、上記抽出データに応じて、制御部20の外部に設けられて予め用意された補正値を記憶している補正テーブル24を参照して、その補正値が補正パターン取得部25a、25b、25c、…に出力される。

【0027】この補正パターン取得部25a、25b、25c、…から出力された補正値は、補正パターンマージ部26に供給されて、上記補正値を基に設計パターンに対してゲート材料別に補正が行われるようになっている。

【0028】また、制御部20には、CRTディスプレイ等の表示部28と、キーボード等の入力部28が接続されている。ところで、ゲートパターンの1次元方向の補正としては、上述したBucket方式が良く知られている。この実施の形態は、ゲート材料が複数使用されるトランジスタに於いて、この発明を上記Bucket方式に適用したマスクパターン補正方法を示すものである。ゲート材料が複数使用されるトランジスタとして、nチャネル素子に対してp⁺型多結晶Siゲート電極、pチャネル素子に対してn⁺型多結晶Siゲート電極が用いられた埋め込みチャネル型CMOSトランジスタを仮定している。

【0029】図3は、ACLVと称されるパターン寸法測長TEGを示した図である。図3のTEGには、その電気特性測定パターンに隣接するパターンの密度が50%のものが示されているが、パターン疎密と仕上がり寸法バイアスとの関係が把握可能なTEGであれば他のものでも構わない。例えば、隣接パターンの密度は100%とするものでも良い。

【0030】図3に示されるようなTEGが、それぞれのゲート材料（nチャネル素子に対してp⁺型多結晶Siゲート電極、pチャネル素子に対してn⁺型多結晶Siゲート電極）で形成されるように設計され、電気特性評価が行われることにより、図4に示されるように、パターン疎密と仕上がり寸法バイアスの関係を取得することができる。

【0031】図4に示されるように、p⁺型多結晶Siゲート電極とn⁺型多結晶Siゲート電極では、多結晶Si内の不純物元素及びその濃度が異なり、それ故エッチング加工特性（エッチング後の形状及びエッチング変換差等）が両者で異なる。したがって、パターン疎密と仕上がり寸法バイアスの関係は、それぞれのゲート材料で異なっている。

【0032】そして、図4に示される特性図を基に、図6に示されるようなルールの補正テーブルが作製される。この補正テーブルとは、パターン疎密（図6の場合は隣接パターンまでの距離）と設計データの補正量との関係を対応付けてまとめたものである。この補正量は設計パターンエッジに付加されるもので、その値はマスク描画最小グリッドの整数倍である。

【0033】また、図5は補正領域の例を示した図である。図5に於いて、n型の測定パターンGCNの隣接パターンとの距離を求める場合は、p型の測定パターンGCPも含めて算出するようにする。これは、測定パターンGCPを含めないと、図示Aのパターンの左側のエッジの隣接パターンの距離を、正しくはpであるにもかかわらず、qと誤ってしまうからである。

【0034】こうして、隣接パターンとの距離に基づいて、図6に示される補正テーブルから補正值が選択される。尚、図4の特性図から明らかなように、隣接パターンとの距離は、n⁺型及びp⁺型多結晶Siゲートの別によって異なっている。したがって、n型及びp型の種類に応じて、適切な補正量が選択されるようになっている。

【0035】次に、図1のフローチャートを参照して、このマスクパターン補正システムの動作を説明する。まず、ステップS1にて、図5に示されるような補正領域が抽出される。次いで、ステップS2で、図5に測定パターンGCNで示されるn⁺型多結晶Siゲート層が抽出される。

【0036】次に、ステップS3に於いて、n⁺型多結晶Siゲート層の隣接パターン距離が、測定パターンG

CPで示されるp⁺型多結晶Siゲート層を含んで算出される。この理由は、上述した通りである。

【0037】そして、ステップS4にて、n⁺型多結晶Siゲート層の隣接パターンの補正テーブルが参照される。図6に示されるような補正テーブルのデータに従って、適切な補正量が選択され、続くステップS5に於いて該n⁺型多結晶Siゲート層のパターンが補正される。

【0038】次に、ステップS6に於いて、図5に測定パターンGCPで示されるp⁺型多結晶Siゲート層が抽出される。ステップS7では、p⁺型多結晶Siゲート層の隣接パターン距離が、測定パターンGCNで示されるn⁺型多結晶Siゲート層を含んで算出される。

【0039】そして、ステップS8にて、p⁺型多結晶Siゲート層の隣接パターンの補正テーブルが参照される。図6に示されるような補正テーブルのデータに従って、適切な補正量が選択され、ステップS9に於いて該p⁺型多結晶Siゲート層のパターンが補正される。

【0040】この後、それぞれのゲート材料に分けて補正されたパターンのパターン合成が行われる。このパターン合成は、それぞれの補正済みゲートパターンの全てを取得することにより行われる。

【0041】このように、図6に示される補正テーブルが用いられ、p⁺型多結晶Siゲート電極とn⁺型多結晶Siゲート電極それぞれに於いて設計データの補正（パターンのエッジに各補正量を付加）が行われて、高精度の補正を実現することができる。

【0042】上述した実施の形態では、トランジスタとしてnチャネル素子に対してp⁺型多結晶Siゲート電極、pチャネル素子に対してn⁺型多結晶Siゲート電極を用いた埋め込みチャネル型CMOSトランジスタを想定したが、高融点シリサイド材料（WSi、TiSi、MoSi）やポリメタルといった他のゲート材料、若しくは絶縁膜（窒化珪素や酸化珪素等を用いたキャップ材）／ゲート導電材料の積層構造に対しても適用可能であることは言うまでもない。

【0043】また、本実施の形態では、ゲートの層を例に説明したが、同一層で複数の材料を用いる層（配線層等）であれば、本手法が適用可能であることは言うまでもない。

【0044】

【発明の効果】以上のようにこの発明によれば、同一デバイス上で複数のゲート材料を用いるトランジスタが存在する場合に、それぞれのゲート材料に対して高精度なOPCを実現して、ゲート材料別にゲートのマスクパターンの補正を行うことのない半導体装置のマスクパターン補正方法及び半導体装置のマスクパターン補正システムを提供することができる。これにより、設計スペックに近いトランジスタ特性を実現することが可能となる。

【図面の簡単な説明】

【図1】マスクパターン補正システムの動作を説明するフローチャートである。

【図2】この発明の一実施形態を示すもので、マスクパターン補正方法を実行するためのマスクパターン補正システムを概略的に示したブロック構成図である。

【図3】プロセス起因の近接効果を定量化するパターン寸法測長TEGを示した図である。

【図4】隣接パターンとの距離と所望パターン寸法との差の関係を示した特性図である。

【図5】補正領域の例を示した図である。

【図6】補正テーブルの例を表した図である。

【図7】埋め込みチャネル型MOSトランジスタの構造図である。

【図8】埋め込みチャネル型トランジスタのエネルギーバンド図である。

【図9】ゲート材料が複数存在する半導体装置に於けるゲート加工プロセスを示した図である。

【図10】ゲート材料が複数存在する半導体装置に於けるゲート加工プロセスを示した図である。

【図11】従来の補正方式による隣接パターンまでの距離と寸法移動量との関係を示した特性図である。

【図12】補正領域の例を示した図である。

【図13】従来補正方式の補正テーブルの例を示した図である。

【符号の説明】

20 制御部、

21 パターンデータ格納部、

22 a、22 b、22 c、… 領域抽出部、

23 a、23 b、23 c、… 補正テーブル参照部、

24 補正テーブル、

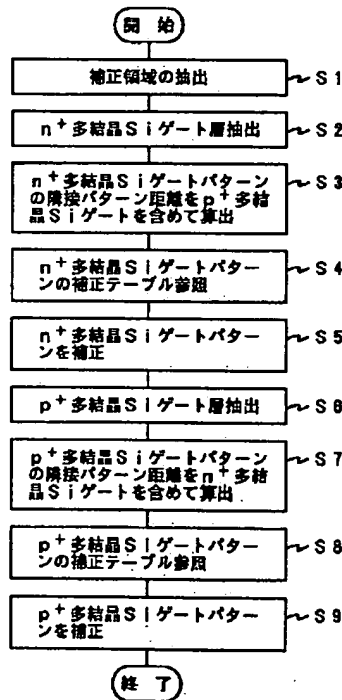
25 a、25 b、25 c、… 補正パターン取得部、

26 補正パターンマージ部、

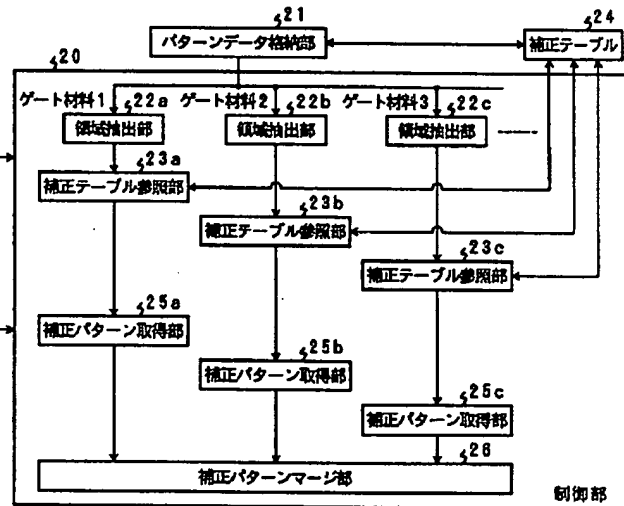
27 表示部、

28 入力部。

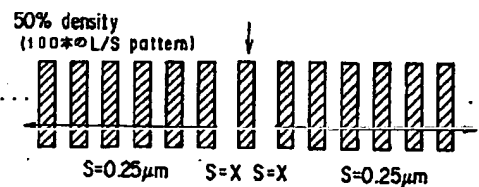
【図1】



【図2】



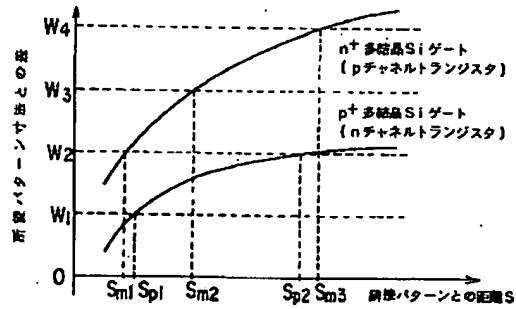
【図3】



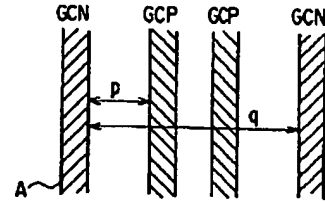
【図13】

隣接スペース 距離	補正量
0 ~ S ₁	0
S ₁ ~ S ₂	-W ₁
S ₂ ~ S ₃	-W ₂
S ₃ ~	-W ₃
⋮	⋮

【図4】



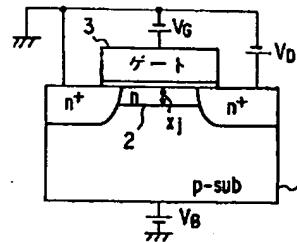
【図5】



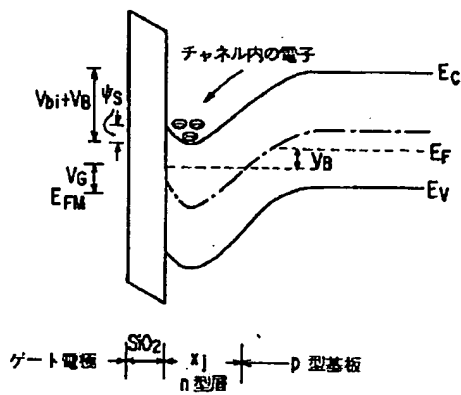
【図6】

隣接パターンとの距離		補正量 (per edge)
n+ 多結晶Si	p+ 多結晶Si	
	0 ~ Spl	0
0 ~ Sm1	Spl ~ Sp2	-W1/2
Sm1 ~ Sm2	Sp2 ~	-W2/2
Sm2 ~ Sm3		-W3/2
Sm3 ~		-W4/2

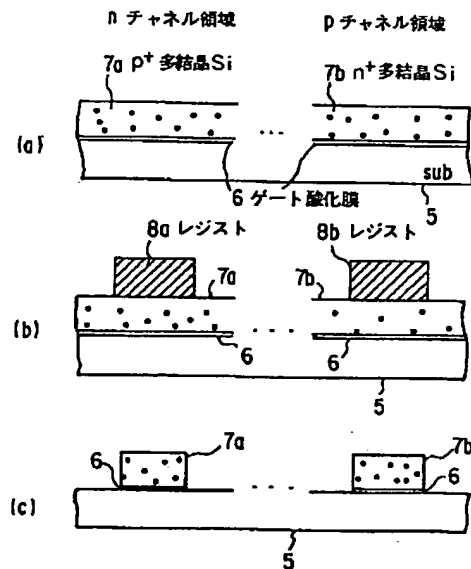
【図7】



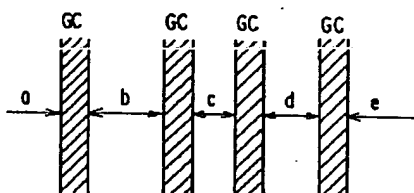
【図8】



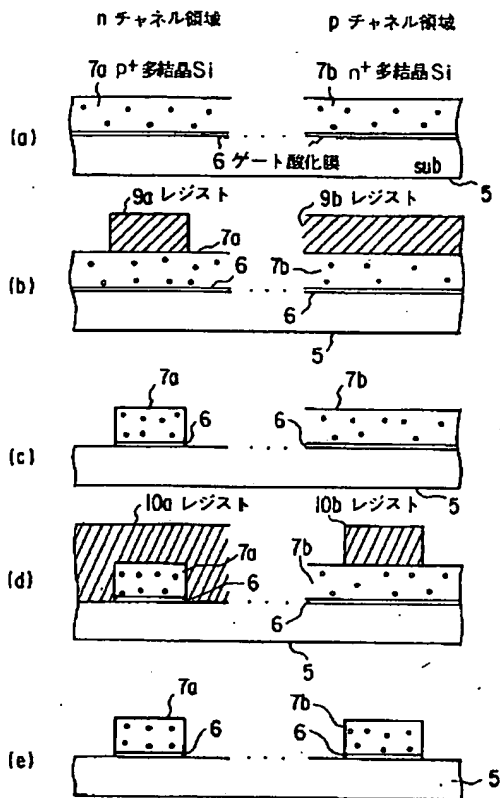
【図9】



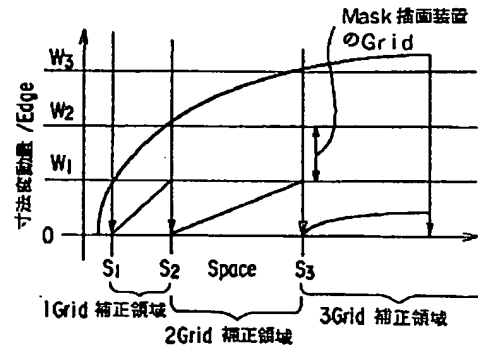
【図12】



【図10】



【図11】



フロントページの続き

(72)発明者 山元 和子
神奈川県川崎市幸区小向東芝町1番地 株
式会社東芝研究開発センター内

(72)発明者 小林 幸子
神奈川県川崎市幸区小向東芝町1番地 株
式会社東芝研究開発センター内